

3D IC 關鍵製程設備技術發展趨勢之研究

MIRDC-103-S103



作者：陳慧娟



中華民國 103 年 11 月

財團法人金屬工業研究發展中心

文目錄

第一章 緒論	1
第一節 研究動機與目的	1
第二節 研究範圍	2
第三節 研究方法與架構	4
第四節 研究時程與限制	6
第二章 全球 3D IC 技術發展趨勢	9
第一節 3D IC 製程整合技術	9
第二節 矽穿孔蝕刻製程技術	17
第三節 矽穿孔填孔製程技術	25
第四節 晶圓薄化製程技術	27
第五節 晶圓接合製程技術	32
第三章 全球 3D IC 關鍵設備技術發展趨勢	37
第一節 矽晶直通孔(TSV)製程技術	41
第二節 晶圓薄化製程技術	53
第三節 晶圓接合製程技術	56
第四章 全球 3D IC 市場分析	61
第一節 應用產業	62
第二節 區域市場分析	67
第三節 總結	69

第五章 我國 3D IC 關鍵設備零組件技術與廠商發展動向	71
第一節 黃光製程	75
第二節 乾式蝕刻製程	89
第三節 溼式蝕刻/清潔製程	93
第四節 鍍膜製程	97
第五節 貼合製程	100
第六節 封測製程	104
第七節 總結	107
第六章 結論與建議	109
第一節 結論	109
第二節 策略建議	113
參考資料	117

表目錄

表 2-1	先穿孔與後穿孔製程差異比較	14
表 3-1	矽晶直通孔製程步驟	41
表 3-2	各種晶圓接合製程比較表	57
表 6-1	策略建議	114

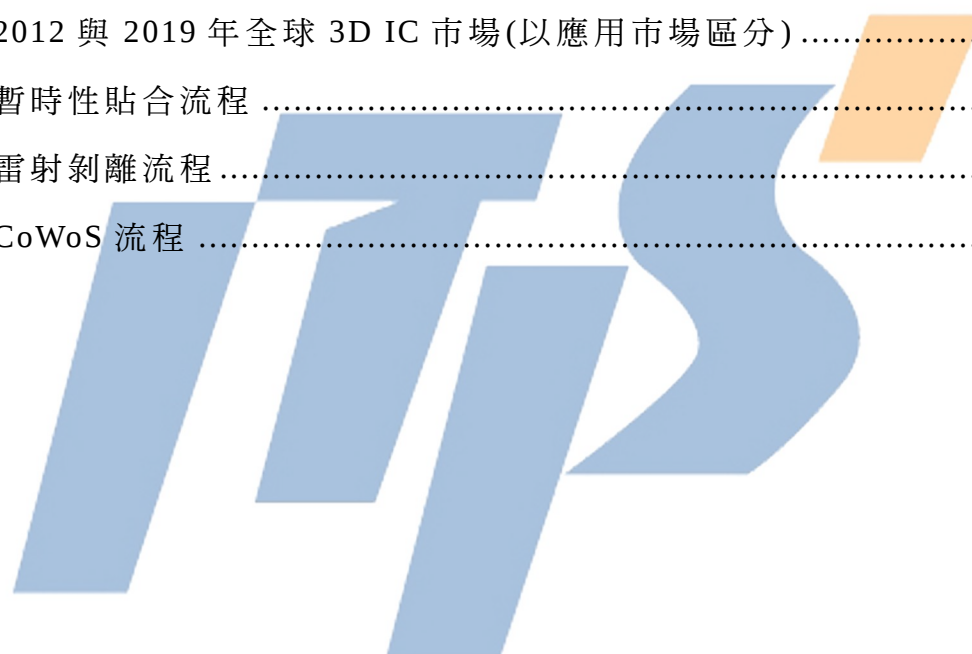


圖目錄

圖 1-1	「3D IC 關鍵製程設備技術發展趨勢之研究」之研究範圍.....	3
圖 1-2	專題研究之方法與大綱.....	5
圖 1-3	專題研究時程.....	6
圖 2-1	先穿孔製程流程圖.....	10
圖 2-2	先穿孔製程流程圖.....	11
圖 2-3	後穿孔－前接合製程晶片堆疊流程圖.....	12
圖 2-4	後穿孔－後接合製程流程圖.....	13
圖 2-5	電子顯微鏡照片(a)先穿孔製程(b)後穿孔製程.....	15
圖 2-6	雷射鑽孔照片(a)能量 168μJ 與 60kHz(b)能量 100μJ 與 100kHz	18
圖 2-7	雷射鑽孔與填孔(a)深度 50μm(b)深度 100μm(c)深度 200μm	18
圖 2-8	KOH 蝕刻{111}晶向的矽基板.....	19
圖 2-9	KOH 與 TMAH 在各種條件下的蝕刻速度.....	19
圖 2-10	Bosch 製程流程圖.....	21
圖 2-11	(a-b)Bosch 製程方法 TSV 輪廓示意圖(c)氣體切換時間與比例 ...	21
圖 2-12	DRIE 蝕刻的各種不同輪廓.....	21
圖 2-13	Bosch 製程導致的扇貝狀不連續側壁.....	23
圖 2-14	先穿孔製程所使用的 CMP.....	29
圖 2-15	後穿孔製程所使用的 CMP.....	30
圖 2-16	晶圓面對面對準方法.....	33
圖 2-17	矽基板對矽基板陽極接合(上圖)與矽基板對玻璃基板陽極 接合(下圖)示意圖.....	34
圖 3-1	3D IC 晶片堆疊概念圖.....	37
圖 3-2	3D IC 高度異質整合未來藍圖.....	38
圖 3-3	MtM(More than Moore)趨勢圖.....	38

圖 3-4	3D IC 技術設備及材料市場銷售額度預測圖	39
圖 3-5	三維積體電路技術設備之市場需求額度預測圖	40
圖 3-6	3D IC 關鍵技術所需設備示意圖	40
圖 3-7	TSV 製程流程圖	41
圖 3-8	背面對準方式示意圖	42
圖 3-9	(1)穿透式紅外線對準(2)反射式紅外線對準示意圖	43
圖 3-10	穿透式紅外線對準示意圖	44
圖 3-11	艾司摩爾黃光微影步進機示意圖	45
圖 3-12	艾司摩爾黃光微影設備研究開發示意圖	45
圖 3-13	Bosch 乾蝕刻製程流程圖	46
圖 3-14	Bosch 乾蝕刻製程之 TSV SEM 圖	46
圖 3-15	Bosch 乾蝕刻製程之設備圖	47
圖 3-16	Applied Producer Optiva 低溫 CVD 系統	48
圖 3-17	搭載低溫系統所呈現的高階梯覆蓋率	48
圖 3-18	Endura Ventura 物理氣相沉積系統	49
圖 3-19	Raider [®] -S ECD 系統的電鍍腔體	50
圖 3-20	Raider [®] -S ECD 系統的電鍍 sem 圖	50
圖 3-21	TEL 的 Stratus 銅電鍍機台	50
圖 3-22	矽晶直通孔製程技術趨勢示意圖	51
圖 3-23	矽晶直通孔在各類應用示意圖	51
圖 3-24	矽晶直通孔晶圓在未來市場產品示意圖	52
圖 3-25	攜帶晶圓暫時性接合流程示意圖	53
圖 3-26	(a)REFLEXION [®] LK CMP 系統(b)製程終點控制系統(c)cmp 後 tsv sem 圖	54
圖 3-27	(a)TAIKO 技術(b)TAIKO 技術與傳統比較圖	55
圖 3-28	(a)DAG 810 機台(b)TAIKO 技術流程圖	55
圖 3-29	晶圓接合技術分類示意圖	56

圖 3-30	晶圓接合對準技術示意圖	58
圖 3-31	晶圓接合技術設備市場示意圖	58
圖 3-32	EVG Gemini® FB 晶圓接合設備	59
圖 3-33	EVG Gemini® FB 晶圓接合機台對準示意圖	59
圖 4-1	消費性電子 3D IC 市場(百萬美元).....	62
圖 4-2	資通訊 3D IC 市場(百萬美元).....	63
圖 4-3	交通運輸(汽車與航太)3D IC 市場(百萬美元)	64
圖 4-4	軍事 3D IC 市場(百萬美元).....	65
圖 4-5	其他(生物醫學應用與研發)3D IC 市場(百萬美元)	66
圖 4-6	2012 與 2019 年全球 3D IC 市場(以應用市場區分)	69
圖 5-1	暫時性貼合流程	103
圖 5-2	雷射剝離流程	103
圖 5-3	CoWoS 流程	106



摘要

隨著科技的日新月異，各種產品的輕薄短小需求使得產品系統功能及整合繁複的程度持續上升，因此推動半導體積體電路元件產業的摩爾定律(Moore's Law)速度趨緩，遭遇到的將是積體電路元件在平面尺寸上的微縮化所面臨挑戰，包含半導體製程、元件設計與設備等物理極限，而為了追求甚至超越摩爾定律(More than Moore's Law)，新興製程技術－三維積體電路(3D IC)的概念逐漸在近年來浮出檯面。

3D IC 具有高密度、低功率耗損以及高效能的優勢，利用立體堆疊架構可以滿足未來電子產品輕薄小的需求，且也持續延續著半導體產業之中的摩爾定律。3D IC 製程使用到非常多製程步驟，目前各研究單位為了要開發出低成本與高良率的 3D 架構也耗費苦心，分別從不同的 TSV 製作、磨薄製程與接合製程發展，並調整各項製程的先後順序，希望能找出最佳的架構，而每一項製程步驟的調整都各有其優點與缺點，也分別被不同市場所接受。

討論摩爾定律延續的正確方向，其實開發成本就是主要關鍵。當線寬微縮技術、開發新電晶體結構與開發更高階的設備所需發費的成本，比導入三維堆疊製程設備，提升良率須克服的技術成本還來的高時，業界就會開始投入相關應用的開發。

三維堆疊主要增加的是整合後段矽穿孔製程、重分佈層與 Bump 貼合等三項技術整合，技術導向與門檻較適合台灣發展，且台灣有完整的半導體上中下游垂直供應鏈，很適合發展三維堆疊技術產品，有利半導體產業串連與技術扎根。故在三維堆疊技術發展成熟前，本土設備與終端廠商投入研發，可降低台灣整體設備、製程成本並掌握自主技術，進而加速台灣在

3D IC 產業的量產時程。相信這是讓台灣半導體產業走出傳統代工模式的契機，藉由技術扎根與永續發展讓台灣在未來全球半導體技術中扮演更重要角色。

因應全球半導體產業環境的劇烈變化，要發展半導體 3D IC 設備產業，探討產業策略趨勢與廠商未來佈局至為重要，目前台灣的產官學研各界已意識到建構完整半導體產業供應鏈對於整體半導體產業的競爭力有決定性影響。扶植本土半導體 3D IC 設備產業的責任不能只依靠企業各自的努力，政府與法人機構須扮演更積極的角色，就如同當初扶植國內的晶圓代工產業一般，官方組織需投入更多的資源與人力，與民間企業共同產生一套周延之發展策略後，再切實執行計畫，如此才有可能培育出世界級的半導體設備大廠。



Abstract

With the rapid development of science and technology, the demand for compact and slim products has caused system function and integration complexity level to rise continuously, so that the speed of Moore's Law, which promotes semi-conductor integrated circuit component industry, tends to slow down. What integrated circuit components will encounter is the challenge of the miniaturization of the plane size, which comprises semiconductor process, component design, equipment and other physical limits. However, the concept of emerging process technology, namely 3D IC, has appeared in recent years in order to pursue and even surpass the Moore's Law.

3D IC has the advantages of high density, low power loss and high performance; it utilizes three-dimensional stack architecture to meet the future demand for compact and slim electronic products, and continues Moore's Law of the semi-conductor industry. The 3D IC process comprises many multi-process procedures. At present, the research institutions take great pains to develop low-cost, high-yield 3D architecture, which starts from a different TSV production, slimming process and jointing process, and adjusts the sequence of the processes, with the aim of finding the best architectures. However, the adjustment of each process has its own advantages and disadvantages, which are accepted by different markets, respectively.

The primary key for discussing the correct continuation direction of Moore's Law is actually the development cost. When the cost of developing line width miniaturization technology, new transistor structure and higher-order equipment is greater than the technical cost for importing three-dimensional stack process equipment and improving the yield factor, the industry will start the development of relevant applications.

Three-dimensional stacking chiefly means the integration of posterior Through Silicon Via , Re Distribution Layer and Bump bonding added. The technology orientation and threshold are more suitable for the development in

Taiwan. Meanwhile, Taiwan possesses the complete vertical supply chain for semi-conductors, which is quite suitable for developing three-dimensional stacking technology products, and is helpful in the integration of the semi-conductor industry and technology rooting. Therefore, the investments made by local equipment and terminal manufacturers in the research and development before the three-dimensional stacking technology matures will reduce the costs of the overall equipment and processing in Taiwan, enabling Taiwan to master proprietary technology and speed up the mass production of the 3D IC industry in Taiwan. It is believed that this presents an opportunity for the semi-conductor industry in Taiwan to get out of the traditional OEM mode; Taiwan will play a greater role in global semi-conductor technology in the future by means of technology rooting and sustainable development.

What is important for developing 3D IC equipment industry is to investigate the industry strategy trend and future layout of the manufacturers, so as to cope with the fast changes of the global semi-conductor industry. At present, the industry-government-academia-research fields have realized the decisive influence of constructing a complete semi-conductor industry supply chain on the competitiveness of the entire semi-conductor industry. Supporting local semi-conductor 3D IC equipment industry can not only depend on the efforts made separately by enterprises; the government and legal entities must play a more active role. Just like supporting the domestic wafer OEM industry in earlier days, the government should invest more resources and manpower, draw up an exhaustive development strategy together with private enterprises and then carry out the plan, in order to foster world-class semi-conductor equipment manufacturers.

第一章 緒論

第一節 研究動機與目的

隨著科技的日新月異，各種產品的輕薄短小需求使得產品系統功能及整合繁複的程度持續上升，因此推動半導體積體電路元件產業的摩爾定律 (Moore's Law) 速度趨緩，遭遇到的將是積體電路元件在平面尺寸上的微縮化所面臨挑戰，包含半導體製程、元件設計與設備等物理極限，而為了追求甚至超越摩爾定律 (More than Moore's Law)，新興製程技術－三維積體電路 (3D IC) 的概念逐漸在近年來浮出檯面，其關鍵製程技術亦陸續積極研發中。

業界在討論半導體產業的未來發展趨勢時，普遍都會聚焦在如何延續摩爾定律。摩爾定律的延續其實可以分為兩個面向來看，一個面向是技術，內容為單位晶片內電晶體數量每十八個月會增加一倍；另一個面向是成本，內容為 IC 製作成本每十八個月會降低一半。未來若能同時符合經濟效益與產品效能的成長，就是半導體產業持續發展的重要關鍵。

全球 3D IC 市場的吸引力是以數項因素的影響力.....

第二章 全球 3D IC 技術發展趨勢

第一節 3D IC 製程整合技術

一、前言

3D IC 具有高密度、低功率耗損以及高效能的優勢，利用立體堆疊架構可以滿足未來電子產品輕薄小的需求，且也持續延續著半導體產業之中的摩爾定律。3D IC 製程使用到非常多製程步驟，目前各研究單位為了要開發出低成本與高良率的 3D 架構也耗費苦心，分別從不同的 TSV 製作、磨薄製程與接合製程發展，並調整各項製程的先後順序，希望能找出最佳的架構，而每一項製程步驟的調整都各有其優點與缺點，也分別被不同市場所接受。

1930 年起 TSV 製程即為 3D IC 的關鍵技術之一，TSV 製程可以分成蝕刻以及填孔兩大部分，良好的 TSV 製程技術可以避免包含漏電流以及金屬擴散汙染等問題。TSV 蝕刻可以經由雷射鑽孔、濕式蝕刻、電漿蝕刻以及極低溫蝕刻來達成，而判定蝕刻的好壞可以由 TSV 的輪廓來決定，在本報告中將深入探討各種蝕刻方法影響 TSV 輪廓的原因

第三章 全球 3D IC 關鍵設備技術發展趨勢

發展趨勢

隨著現今科技日益發展，輕薄短小的需求趨使產品系統功能及整合上繁複的程度持續上升，推動半導體積體電路元件產業的摩爾定律速度趨緩了下來，遭遇到的將是積體電路元件在平面尺寸上的微縮化所面臨挑戰，包含半導體製程、元件設計與設備等物理極限，而為了追求甚至超越摩爾定律(More than Moore's Law)，新興製程技術－三維積體電路(3D IC)的概念逐漸在近年來浮出檯面且其關鍵製程技術亦陸續積極研發中。所謂三維積體電路概念為透過將兩種以上不同的晶片或晶圓以垂直堆疊及接合的製程技術來整合，以突破水平單晶片整合的限制框架，如【圖 3-1】所示，且可達到異質整合(Heterogeneous Integration)的目標，如【圖 3-2】，同時亦具備高效能、高密度及低功率損耗的優點。3D IC 關鍵製程技術包括矽晶直通孔(Through-Silicon-Via,TSV)、晶圓級接合(Wafer Level Bonding)及晶圓薄化(Wafer Thinning)，如何達到各關鍵製程之最佳化將直接影響到整體 3D IC 電路系統整合良率及品質的要求

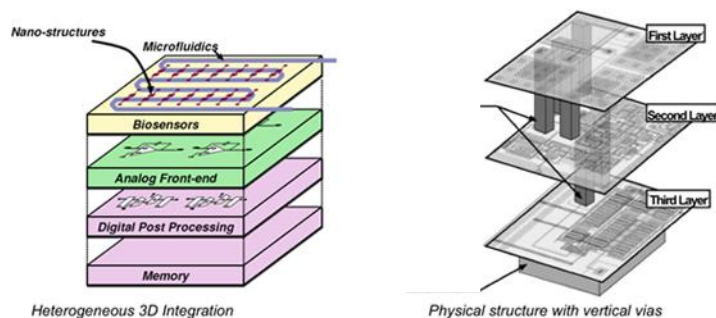


圖 3-1 3D IC 晶片堆疊概念圖

資料來源：EPFL-Leti Research 網頁

第四章 全球 3D IC 市場分析

全球 3D IC 市場的吸引力是以幾項參數的成長潛力，如微機電系統(MEMS)與感測器、邏輯 3D SiP/SoC 等、熱效應與成本問題以及異質堆疊範圍為基準，針對終端使用產業部門決定。微機電系統(MEMS)與感測器及邏輯 3D SiP/SoC 都是不同的終端使用產業實現 3D IC 技術的潛在產品，因此 3D IC 設計的成功開發將決定其在這些產業的使用。這些產品的成長速度加快，會直接影響到各個應用方式對 3D 技術的採用。未來 3D IC 整合過程的測試及散熱問題將會對在不同的終端使用產業部署 3D IC 產生顯著的影響。在不久的將來，與其他產業部門相比，ICT 和消費性電子產品等產業將明顯崛起，成為具有高吸引力的市場。ICT 產業增加使用邏輯 3D SiP/SoC 和微機電系統(MEMS)裝置預計將支持預測期間的 3D IC 的需求。新興的消費性電子產品產業加上對尺寸縮小及耗電量減低的裝置之需求增加，將會帶動微機電系統(MEMS)與感測器裝置及以 3D 整合為主的記憶體之需求。在其他產業中，交通運輸在中長期而言將愈來愈有吸引力。為了提供先進功能更好的整合，電子設備內容和汽車使用的汽車感測器數量不斷增加。因此，此產業預計會推動以 3D IC 為主的微機電系統(MEMS)與感測器裝置的需求，以提供高端功能，同時縮小車輛中的電子裝置的尺寸.....

第五章 我國 3D IC 關鍵設備零組件 技術與廠商發展動向

在討論半導體的發展時，普遍都會聚焦在如何延續摩爾定律(Moore's law)。摩爾定律的延續其實可以分為兩個面向來看，一個面向是技術，內容為單位晶片內電晶體數量每十八個月會增加一倍；另一個面向是成本，內容為 IC 製作成本每十八個月會降低一半。未來若能同時符合經濟效益與產品效能的成長，就是半導體產業持續發展的重要關鍵。

隨著半導體技術演進至今，產業延續的方式可由三方面來觀察：

1. 單位面積提高(300mm 提升至 400mm)，可直接增加每片晶圓內的電晶體數量，並同步降低單位電晶體製程成本。
2. 持續微縮線寬，縮小電晶體體積與提升效能，則現有 300mm 晶圓片中電晶體可同時達到技術能力提升，體積縮小，數量也可提升。
3. 導入三維堆疊(3D stacking; 泛指 3D IC 相關技術)概念，讓現有技術利用三維結構佈局堆疊，串聯電晶體並減少訊號溝通傳遞距離，來增加效能表現……

第六章 結論與建議

第一節 結論



《3D IC 關鍵製程設備技術發展趨勢之研究》

全本電子檔及各章節下載點數，請參考智網公告

電話 | 02-27326517

傳真 | 02-27329133

客服信箱 | itismembers@micmail.iii.org.tw

地址 | 10669 台北市敦化南路二段 216 號 19 樓

劃撥資訊 | 帳號：01677112

戶名：財團法人資訊工業策進會

匯款資訊 | 收款銀行：華南銀行—和平分行

(銀行代碼：008)

戶名：財團法人資訊工業策進會

收款帳號：98365050990013 (共 14 碼)

服務時間 | 星期一~星期五

am 09:00-12:30 pm13:30-18:00



如欲下載此本產業報告電子檔，

請至智網網站搜尋，即可扣點下載享有電子檔。

ITIS 智網：<http://www.itis.org.tw/>